

2- FABRICACION DE CIRCUITOS INTEGRADOS

Un circuito integrado esta formado por un monocristal de silicio de superficie normalmente comprendida entre 1 y 10 mm de lado, que contiene elementos activos y pasivos. En este capitulo se describen cualitativamente los procesos empleados en la fabricación de tales circuitos. estos procesos son:

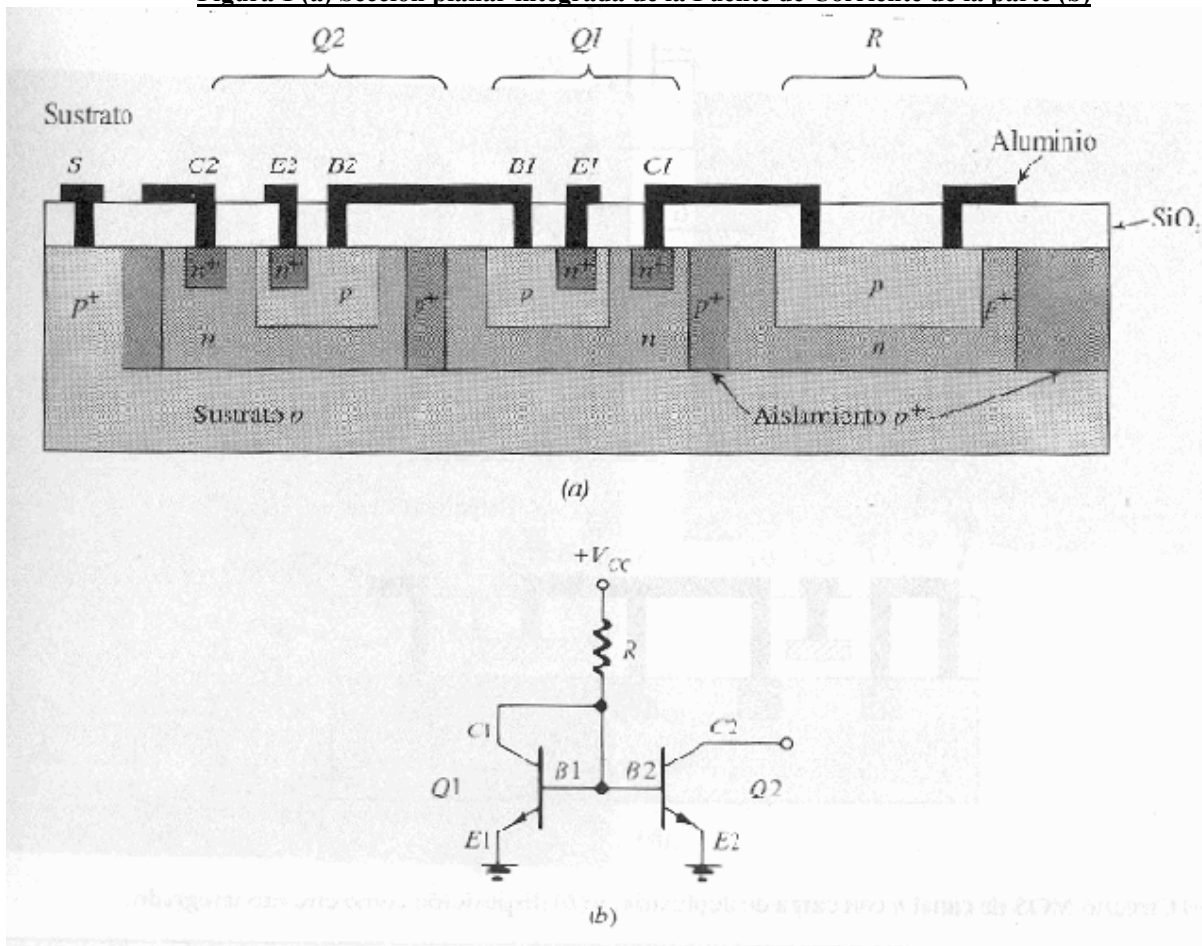
Preparación de la oblea, Crecimiento Epitaxial, Difusión de Impurezas, Implantación de Iones, Crecimiento del Oxido, Fotolitografía, Grabado Químico y Metalización.

Se emplea el proceso múltiple que ofrece una excelente identidad de resultados en la producción de un elevado numero de circuitos integrados a bajo costo.

2.1- TECNOLOGÍA DE LOS CIRCUITOS INTEGRADOS MONOLÍTICOS MICROELECTRÓNICA

El termino "monolítico" se deriva de las palabras griegas mono que significa único, y lithos que significa pedra. Así un circuito integrado monolítico se construye en una única piedra o cristal de silicio. la palabra integrado se debe a que todos los componentes del circuito: transistores, diodos, resistencias, capacidades y sus interconexiones se fabrican como un ente único. Obsérvese que no se incluyen inductancias: una de las consecuencias de la construcción de circuitos integrados semiconductores es precisamente que no pueden conseguirse valores de inductancia prácticos. La variedad de procesos con los que se fabrican estos circuitos se desarrollan sobre un plano único y por tanto puede hablarse de tecnología planar.

Figura 1 (a) Sección planar integrada de la Fuente de Corriente de la parte (b)



La figura 1(a) representa la estructura de un integrado bipolar, lo que es la materialización del circuito de la figura 1(b).

En la figura 2 se pueden ver varias capas que son: regiones de silicio dopadas n y p, el dióxido de Silicio SiO_2 denominada también capa de oxido, y las zonas metálicas. Las capas de silicio forman los elementos del sistema así como el Sustrato o Cuerpo en el que se construye el circuito integrado. Además las zonas de silicio se emplean para aislar unos de otros componentes. para formar las capas de silicio se emplean tres procesos distintos que son el epitaxial, de difusión, y el de Implantación de Iones.

La capa de oxido se utiliza para proteger la superficie del chip de los contaminantes externos y para permitir la formación selectiva de las regiones n y p. El oxido se elimina por corrosión química que descubre las partes de la superficie en las que se deberán formar esas regiones n y p. Las zonas a corroer se delimitan por técnicas de fotolitografía. La fina capa metálica se obtiene por deposición química de vapor de aluminio sobre la superficie del chip. Para delimitar los trazos se emplea la fotolitografía y mediante corrosión se elimina el aluminio sobrante dejando solo las conexiones entre componentes. Las figuras 1 y 2 son solo parte de un conjunto más complejo, sobre una oblea única de silicio se fabrican simultáneamente muchos de tales circuitos. El cristal de silicio (oblea) forma el sustrato sobre el que se hacen todos los componentes del circuito. En la actualidad las obleas empleadas tienen un diámetro de 20 cm o más, y

su espesor es de 0,2 a 0,3 mm, da la suficiente resistencia mecánica para impedir su flexión. Completando el proceso de fabricación la oblea se divide en 100 a 8000 partes rectangulares con 1 a 10 mm de lado.

Cada una de estas partes constituye un circuito único como la figura 3 que puede contener desde una decena hasta varios cientos de miles.

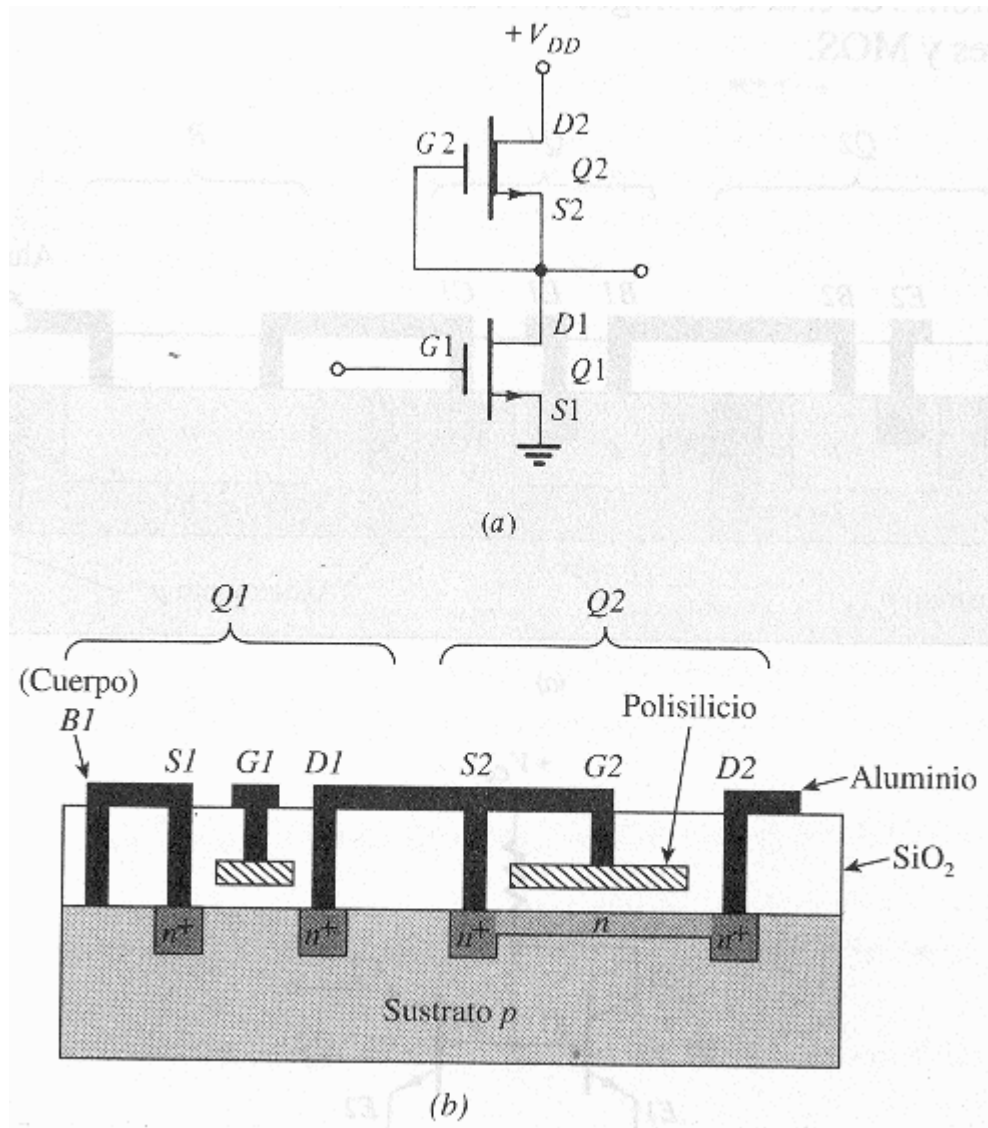


Figura 2 (a) Circuito MOS canal n con cargas de Deplexion. (b) Disposición como CI

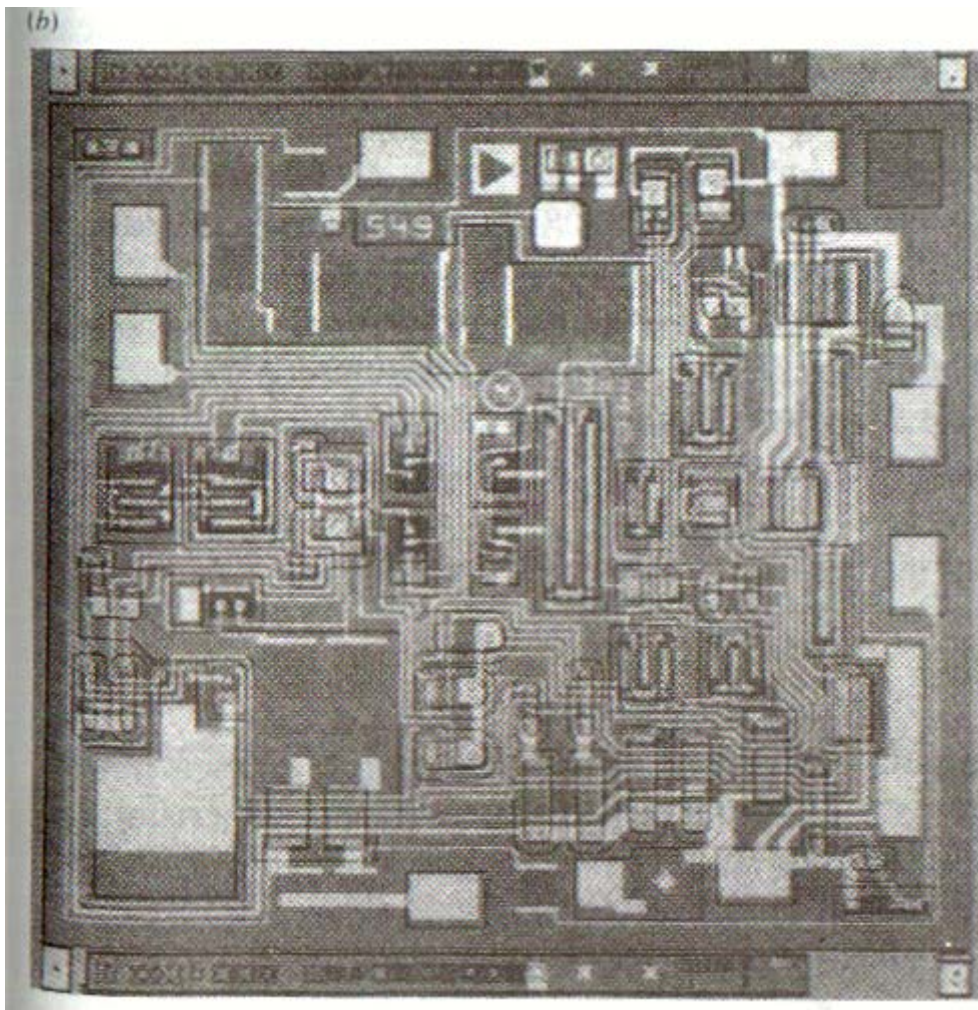


Figura 3 Fotografía ampliada de un Chip Completo

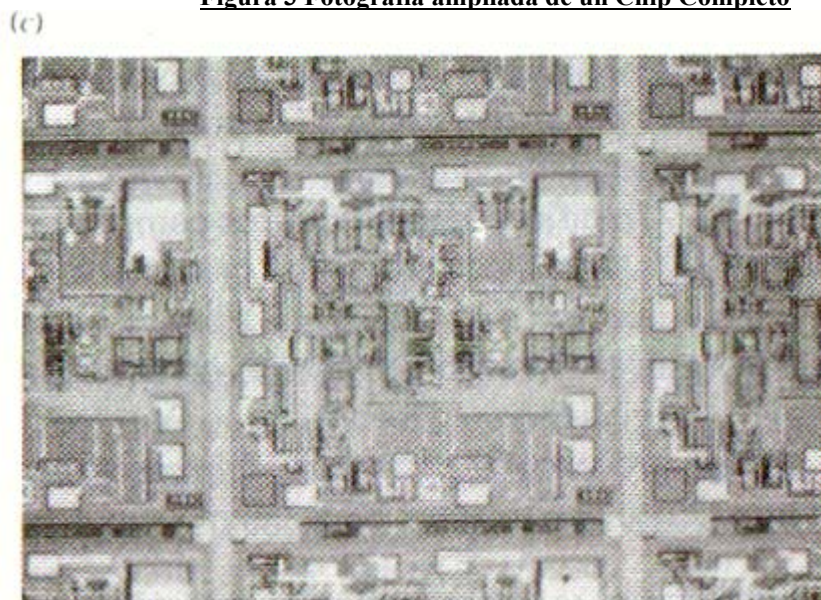


Figura 4 Fotografía Detalle de la figura 3

La figura 4 es un detalle del chip de la figura 3. La figura 5 es una fotografía de una oblea que contiene una cantidad elevada de chips como los de la figura 3. Ahora podemos apreciar algunas de las significativas ventajas de la tecnología microelectrónica. Si se fabrican de una sola vez un conjunto de 20 obleas de 20 cm equivale a fabricar simultáneamente hasta 160.000 circuitos integrados, y si el promedio de componentes por circuito fuera tan solo de 700 el conjunto contendría más de 100 millones de componentes. Algunos de estos circuitos resultarían imperfectos debido a defectos de fabricación, pero aun cuando los buenos fueran tan solo el 10% del total se habrían producido 16.000 chips de una sola vez.

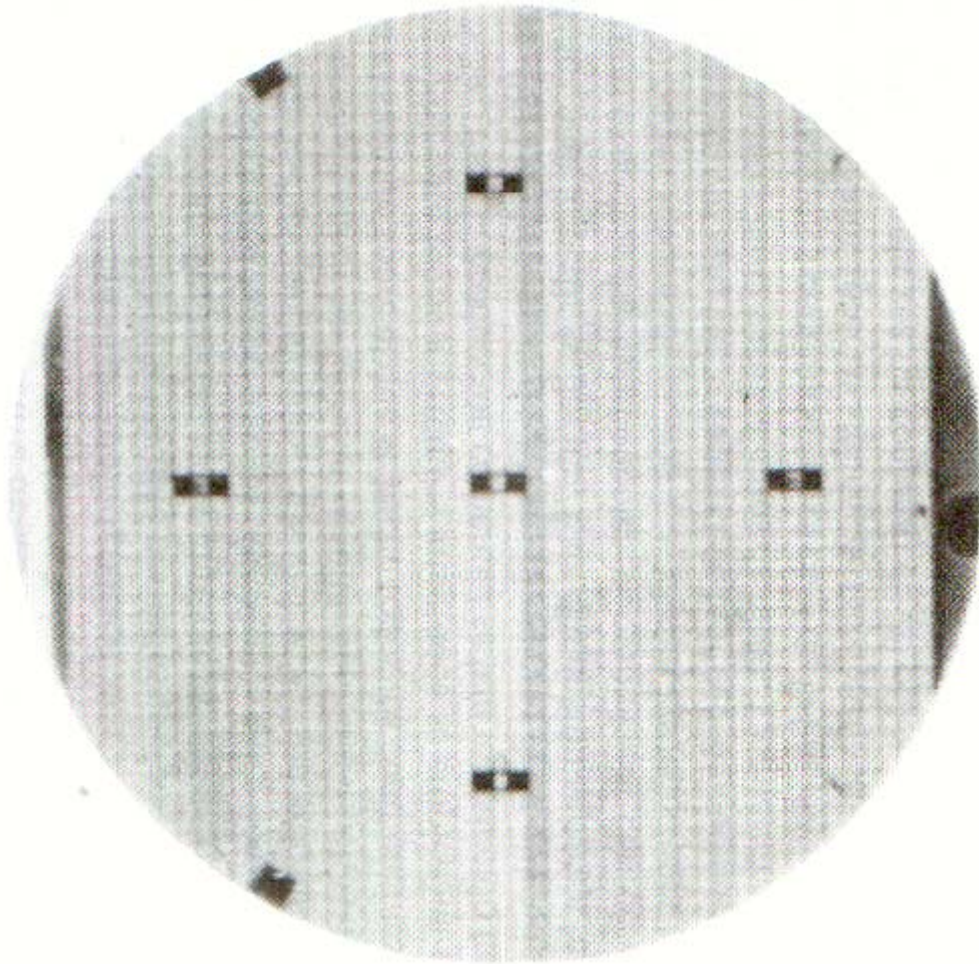


Figura 5 Fotografía Ampliada de una Oblea

La tecnología de los CI presenta las siguientes ventajas respecto a las técnicas convencionales con elementos discretos interconectados:

- 1- Bajo costo
- 2- Tamaño reducido
- 3- Gran confiabilidad (recorrer a este Sección I) Todos los componentes se fabrican simultáneamente sin soldar y se reducen las fallas tanto eléctricas como mecánicas.
- 4- Mejores Prestaciones Debido a su bajo costo pueden emplear circuitos más complejos para conseguir mejores características de funcionamiento. Se emplean circuitos redundantes a fin de lograr alta confiabilidad.
- 5- Igualdad de características. Dado que los transistores se fabrican simultáneamente y por el mismo proceso, los parámetros correspondientes así como la variación de características con la temperatura tienen prácticamente los mismos valores.

2.2- PROCESO PLANAR.

La tecnología planar para la fabricación de CI bipolares y MOS, comprende varios procesos a saber:

- (1) Crecimiento del Cristal del Sustrato.
- (2) Crecimiento Epitaxial.
- (3) Oxidación.
- (4) Fotolitografía y Grabado Químico.
- (5) Difusión.
- (6) Implantación de Iones.
- (7) Metalización

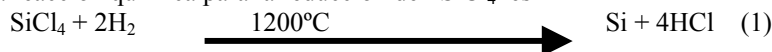
2.2.1) Crecimiento del Cristal del Sustrato – Producción de la Oblea

Un fino cristal de silicio se sujeta a una varilla y se introduce en un crisol con silicio fundido al que se han añadido impurezas aceptadoras. Se retira muy lentamente en condiciones muy controladas la varilla del silicio fundido. A medida que se va extrayendo se va formando un lingote de cristal tipo p de unos 10 cm de diámetro y 50 cm de longitud. Esta técnica se conoce como proceso CZOCHRALSKI o simplemente CZ. Se corta el lingote en obleas circulares de un espesor aproximado de 0,2 mm que formaran el sustrato sobre el que se fabricaran todos los componentes integrados. Una de las caras de la oblea se lapida y pule para eliminar las imperfecciones superficiales antes de proseguir con el siguiente paso.

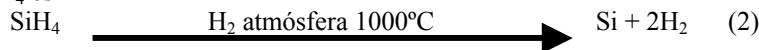
2.2.2) Crecimiento Epitaxial

En la fabricación de CI se emplea el proceso epitaxial para crecer una capa de silicio como ampliación de la existente en la oblea del mismo material. Este crecimiento se lleva a cabo en un horno especial llamado reactor donde se introducen las obleas de silicio calentándolas hasta 900 a 1.000°C. En la tecnología corriente, como origen del silicio a recrecer se emplea la reducción de los gases.

SiH_4 ó SiCl_4 . El primero de estos tiene la ventaja de necesitar menos temperatura y tener un crecimiento más rápido que con el segundo. La reacción química para la reducción del SiCl_4 es



y para el SiH_4 es



Una capa epitaxial de tipo n normalmente de 5 a 25 μm ($1\mu\text{m} = 10^{-6}$ metros) de espesor se crece sobre un sustrato de resistividad aproximada de 10 $\Omega \text{ cm}$, lo que corresponde a $N_A = 1,4 \times 10^{15}$ átomos / cm^3 . El proceso epitaxial descrito indica que se puede escoger la resistividad de la capa epitaxial de tipo n independientemente de la del sustrato. Para la capa tipo n se toman valores de 0,1 a 0,5 $\Omega \text{ cm}$. Puesto que es necesario producir capas epitaxiales con una concentración dada de impurezas, hay que introducir impurezas tales como PH_3 para el dopado tipo n, ó B_2H_6 para el tipo p en los vapores de SiCl_4 – hidrógeno. Existe un aparato para el control preciso y fácil de impurezas que consiste en un tubo largo de cuarzo envuelto por una bobina de inducción a radiofrecuencia. Las obleas se colocan en un soporte de grafito y éste se introduce en el reactor calentando el grafito hasta unos 1200°C. Un puesto de control introduce y elimina los gases requeridos para acrecentar debidamente las capas epitaxiales. Con esto se puede formar una unión abrupta pn semejante a la de la figura 6.

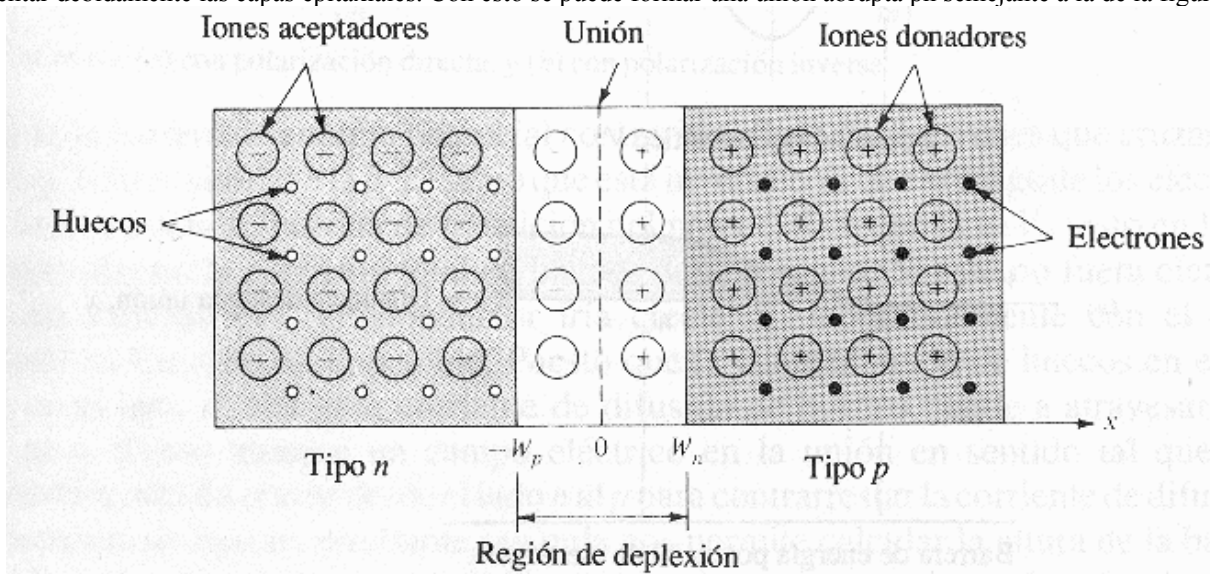


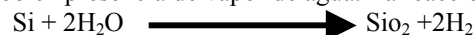
Figura 6 Representación Esquemática de una unión pn

2.2.3) Oxidación

Para el éxito de la tecnología del silicio se requiere habilidad para depositar una capa de óxido sobre la superficie del silicio. Las características sobresalientes del SiO_2 (dióxido de silicio) como pasivador son:

1. - Puede eliminarse con ácido fluorhídrico HF al que la capa de silicio es resistente.
- 2.- Las impurezas empleadas para el dopado del silicio no penetran en el dióxido SiO_2 . Así cuando se emplean técnicas de enmascaramiento se puede lograr un dopado selectivo de zonas específicas del chip.

La oxidación térmica del silicio se lleva a cabo en presencia de vapor de agua. La reacción química es:



El espesor de las capas de óxido está generalmente comprendida entre 0,02 y 2 μm , y el valor que se elija depende de la barrera para evitar la penetración del dopante. En el espesor de la capa de SiO_2 influyen varios factores tales como la temperatura del proceso, la concentración de impurezas y el tiempo de procesado. A menudo se emplea como pasivador se emplea el nitruro de silicio Si_3N_4 , debido a sus propiedades para el enmascarado. Es frecuente emplearlo como separador entre dos capas de SiO_2 . El nitruro impide la penetración dopante en la capa subyacente de SiO_2 (esencial en los MOS). La capa exterior de dióxido de silicio obtenida por deposición química de vapor recubre completamente el chip al que sirve de protección contra roces y daños mecánicos.

2.2.4) Fotolitografía

La técnica monolítica descrita requiere la eliminación selectiva del SiO_2 para formar aberturas por donde puedan difundirse las impurezas.

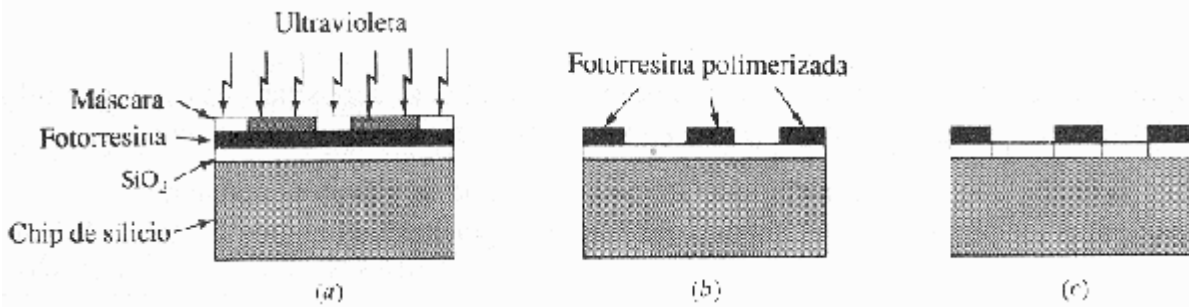


Figura 7 Técnica Fotolitográfica: (a) Enmascarado y Exposición a una Radiación Ultravioleta, (b) Fotorresina, (c) Revelado

El proceso empleado para esta eliminación es el foto corrosión representado en la figura 7. Durante el proceso fotolitográfico se recubre la oblea con una película uniforme de una emulsión fotosensible. Se dibuja una representación amplia en blanco y negro de las zonas que han de quedar abiertas y cerradas, reduciéndose fotográficamente. El negativo ya reducido a la dimensión adecuada se coloca a manera de máscara sobre la emulsión como se ve en la figura 7(a). Sometiendo la emulsión a los rayos ultravioleta a través de la máscara se polimeriza la fotorresina bajo las zonas transparentes de la máscara. Se retira luego dicha máscara y se revela la oblea mediante un producto químico como el tricloroetileno que disuelve las partes no expuestas o polimerizadas de la emulsión dejando la superficie como en la figura 7 (b). La emulsión que no se ha eliminado con el revelado se fija para que resulte resistente a los productos corrosivos que se emplearan a continuación. El chip se sumerge en una solución corrosiva de ácido fluorhídrico que eliminara el oxido de las zonas a través de las que deberá difundirse el dopante. Las porciones de SiO₂ protegidas por la película no quedan afectadas por el ácido en figura 7(c). Una vez difundidas las impurezas, la máscara restante se elimina mediante un disolvente químico como el H₂SO₄ caliente y por abrasión mecánica. En el proceso descrito se emplea una fotorresina negativa, aunque también se emplea la positiva en la que las partes del polímetro expuestas son eliminadas con lo que se retiene el material no expuesto. Los siguientes pasos del proceso son independientes del tipo de fotorresina empleada. La confección de la máscara fotográfica es una cuestión complicada y costosa. Una vez determinada la disposición del circuito se prepara un dibujo en escala de tamaño grande en el que figure la localización de las aberturas en las que deberá eliminarse el SiO₂ para un determinado paso del proceso. La disposición del chip se obtiene con la ayuda de un ordenador. El dibujo se hace a escala de alrededor de 500:1 quedando de un tamaño mas fácilmente manejable para el dibujante. Esta técnica permite controlar 1 μm en el proceso de producción, con una resolución entre líneas adyacentes de 2 μm . El dibujo del circuito se subdivide en varios niveles, denominados niveles de enmascarado, que se usan en la fabricación del chip. Por ejemplo en un dispositivo MOS la disposición de puertas esta en un nivel, las ventanas de contacto de fuente y drenaje en otro, etc. Por medio de procedimientos ópticos manejados por ordenador se convierte el dibujo en información digital y se transfiere a una lamina fotosensible. Esta lamina, en la que el modelo queda reducido unas 100 veces, puede usarse directamente sobre el chip o en combinación con una cámara para una segunda reducción de tamaño de 5 a 10 veces. Las imágenes bidimensionales en las varias laminas constituyen las mas caras empleadas para cada uno de los pasos siguientes en la fabricación de los CI. Los menores detalles que se pueden obtener con el proceso fotolitográfico descrito quedan limitados por la longitud de onda mucho más corta que las radiaciones ópticas y son capaces de definir zonas mucho más pequeñas. Actualmente para la preparación de máscaras se emplea la litografía con haces de electrones. Una haz muy fino de electrones barre una máscara recubierta con una resina sensible a los electrones. De esta manera el diseño queda impreso en la máscara. Esta forma de preparar las máscaras posee ventajas que consisten en una mayor precisión, la supresión de dos etapas de reducción fotográfica y la reducción de tiempo. En la producción industrial, el mayor costo del equipo necesarios queda compensado por las ventajas que aporta.

2.2.5) Difusión (ver pagina 1.6 Elementos de Microelectrónica)

La introducción de impurezas con concentraciones controladas se llevan a cabo en un horno de difusión a unos 1000°C y durante 1 ó 2 horas. Un horno de difusión aloja normalmente 20 obleas en un soporte de cuarzo dentro de un tubo también de cuarzo. La temperatura debe regularse cuidadosamente de forma que sea uniforme en toda la zona. Las fuentes de impurezas pueden ser gases, líquidos o sólidos puestos en contacto con las superficies de silicio en el interior del horno. Como impurezas gaseosas generalmente se utilizan Hidruros de Boro, Arsénico, y Fósforo. Un gas inerte nitrógeno conduce los átomos de impurezas hasta la superficie de las obleas desde donde se difunde en el silicio. Para mayor simplicidad de los dibujos, en todas las secciones transversales que figuran en los esquemas de este capítulo, las zonas de difusión lateral figura 8(a) se ilustran como verticales cuando en realidad si se abre una ventana en la capa de SiO₂ y por ella se introducen impurezas, se difundirán lateralmente la misma distancia que lo hacen verticalmente.

Las impurezas avanzaran por debajo de la capa pasivadora de oxido y el perfil de las uniones debería trazarse mas real como la figura 8(b). En un transistor bipolar BJT se emplean dos difusiones de impurezas. Para un dispositivo npn la primera es la difusión de la base tipo p en el colector recreado epitaxialmente de tipo n. Y la segunda es la región emisor de tipo n en la base tipo p. La figura 9 representa el perfil de impurezas típico de un transistor monolítico npn con doble difusión. La concentración N_{BC} en colector epitaxial esta representada por la línea de trazos de la figura 9. La concentración N de Boro es alta 5×10^{18} átomos/cm^3 en la superficie y va decreciendo dentro del silicio como puede verse en la figura. A la distancia $x = x_j$ en la que N se iguala a N_{BC} la densidad neta de impurezas es nula. Para $x < x_j$ la concentración neta de impurezas es positiva, y si $x > x_j$ será negativa. Por tanto x_j es la distancia desde la superficie a la que se forma la unión de colector. Para el transistor cuyo perfil de impurezas es el de la figura 9, $x_j = 2,7 \mu\text{m}$. La difusión de emisor Fósforo parte con una concentración superficial mucho más alta, próxima a la solubilidad sólida de unos 10^{21} átomos/cm^3 y penetra hasta $2 \mu\text{m}$ en donde se forma la unión de emisor. Puede verse que el espesor de la base de este transistor monolítico es de $0,7 \mu\text{m}$. Normalmente se trata la unión emisor-

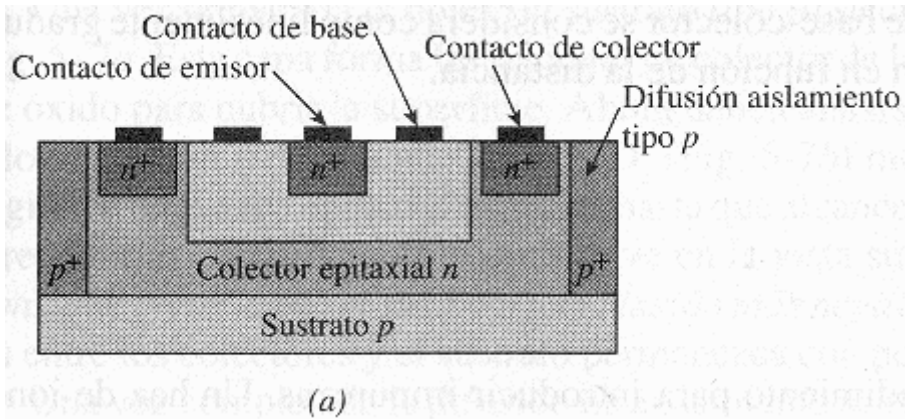


Figura 8(a) Sección Transversal de un Transistor Integrado: Idealizado

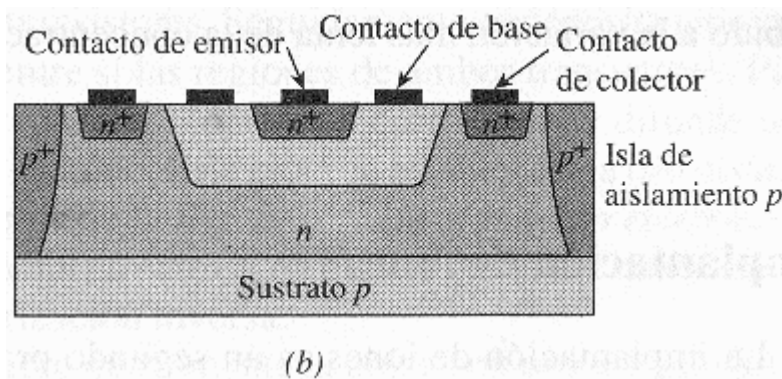


Figura 8(b) Sección Transversal de un TR Integrado: Real

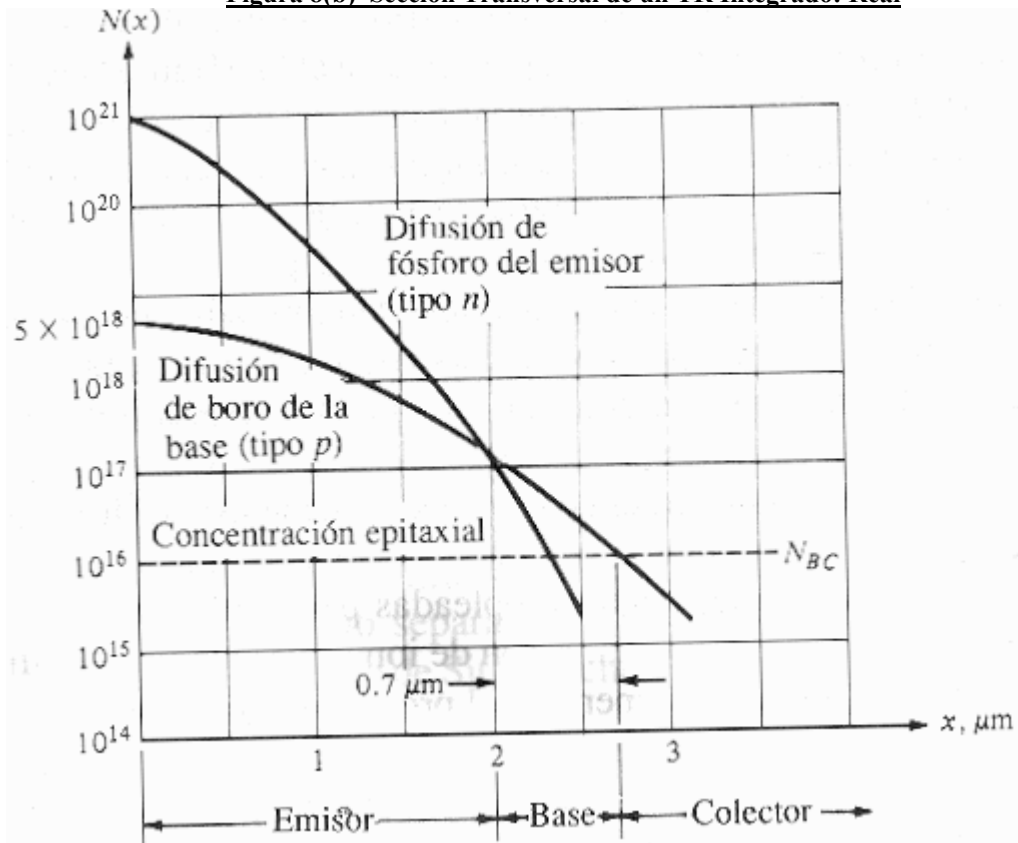


Figura 9 Perfil Típico de Impurezas en un Transistor Monolítico Planar de Doble Difusión. $N(x)$ en Átomos / cm^3 en escala Logarítmica.

base como abrupta, mientras que la de base-colector se considera como linealmente gradual debido a la variación más lenta de la concentración en función de la distancia.

2.2.6) Implantación de Iones

La implantación de iones es un segundo procedimiento para introducir impurezas. Un haz de iones de Boro para el tipo p y Fósforo para el tipo n, se aceleran con energía entre los 30 y 200 K electrón V. La profundidad de penetración se determina por la energía de aceleración y por la concentración de iones dopantes. Este procedimiento se emplea frecuentemente donde se requieran capas finas de

silicio dopado como es en la región de emisor de un BJT, el canal en un MOSFET y la región de puerta de un JFET. En estas zonas finas la implantación de iones permite controlar mejor la concentración de dopado que el procedimiento de difusión. La capa de SiO₂ pasivada forma una verdadera barrera frente a los iones implantados con lo que solo quedan dopadas las zonas definidas fotolitográficamente. También es ventajosa la implantación de iones porque se realiza a baja temperatura. En consecuencia, las regiones previamente difundidas o implantadas tienen menos tendencia a extenderse lateralmente. Otra particularidad del proceso de implantación de iones es que el potencial de aceleración y la concentración de iones dopantes se regulan eléctricamente desde fuera del aparato en que se produce la implantación. Por el contrario, en el proceso de difusión debe controlarse la temperatura sobre toda la superficie dentro del horno. Todas estas ventajas han hecho que la implantación de iones se convierta en el principal procedimiento en la fabricación de circuitos integrados.

2.2.7) Mentalización

La mentalización se emplea para formar las interconexiones entre los componentes de un chip. Estas conexiones se forman depositando una tenue capa de aluminio sobre toda la superficie del chip. La deposición se consigue por **evaporación en alto vacío** en el interior de un recipiente. Se calienta el aluminio hasta que se vaporice. Las moléculas gaseosas formadas irradian uniformemente en todas direcciones y cubren completamente la superficie de la oblea. Las trayectorias de las conexiones se definen con una máscara eliminando por corrosión el aluminio sobrante. La deposición en vacío requiere un vacío del orden de 10⁻⁴ a 10⁻⁶ TORR y se usa para vaporizar una amplia gama de materiales por ejemplo: plata, oro, cromo, aluminio, aleaciones de ferromniquel, "Cermets" (CrSiO) y dieléctricos tales como monóxido de silicio, anhídrido silícico y fluoruro de magnesio. En una configuración típica usada para deposición en el vacío, la fuente calefactora evapora el material, que sube a través de la máscara o plantilla y se deposita según el molde prefijado sobre un sustrato aislante o activo. Se muestran en la figura 10 algunas configuraciones de canoas, canastas y filamentos usados como recipientes y calefactores de los materiales. Estos recipientes se consiguen comercialmente o pueden fabricarse fácilmente con hojas de metal refractario o alambre. En la mayoría de los casos el calentamiento por cañón electrónico es superior al calentamiento por resistencia ya que provoca el calentamiento directo del material en el lugar de conducción del calor desde un dispositivo calentado por resistencias. El cañón electrónico proporciona un método de calentamiento limpio, concentrado y exacto. Además se pueden cargar y evaporar mayores cantidades de material en una sola pasada. La deposición en el vacío provee un método conveniente para evaporar fácilmente una amplia gama de materiales.

2.3 Técnica de Película Delgada | 8 |

Hay muchos procesos que sirven para construir circuitos de película delgada. Depende de muchos factores entre los cuales están el conocimiento disponible, los equipos y el presupuesto. Exceptuando el proceso de serigrafía, todos los demás son variantes de técnicas fotográficas y químicas. La serigrafía consiste en la aplicación directa del material del circuito sobre el sustrato, a través de una máscara. Su uso está normalmente limitado a circuitos de mucha superficie cuyas tolerancias no son estrictas. En los métodos fotográficos se depositan películas delgadas de material por medio de una serie de plantillas fotograbadas. El diagrama de flujo de la figura 2.10 muestra los pasos de producción de circuitos de película delgada.

El diseño: del sustrato y la distribución del resto de los componentes agregados al microcircuito.

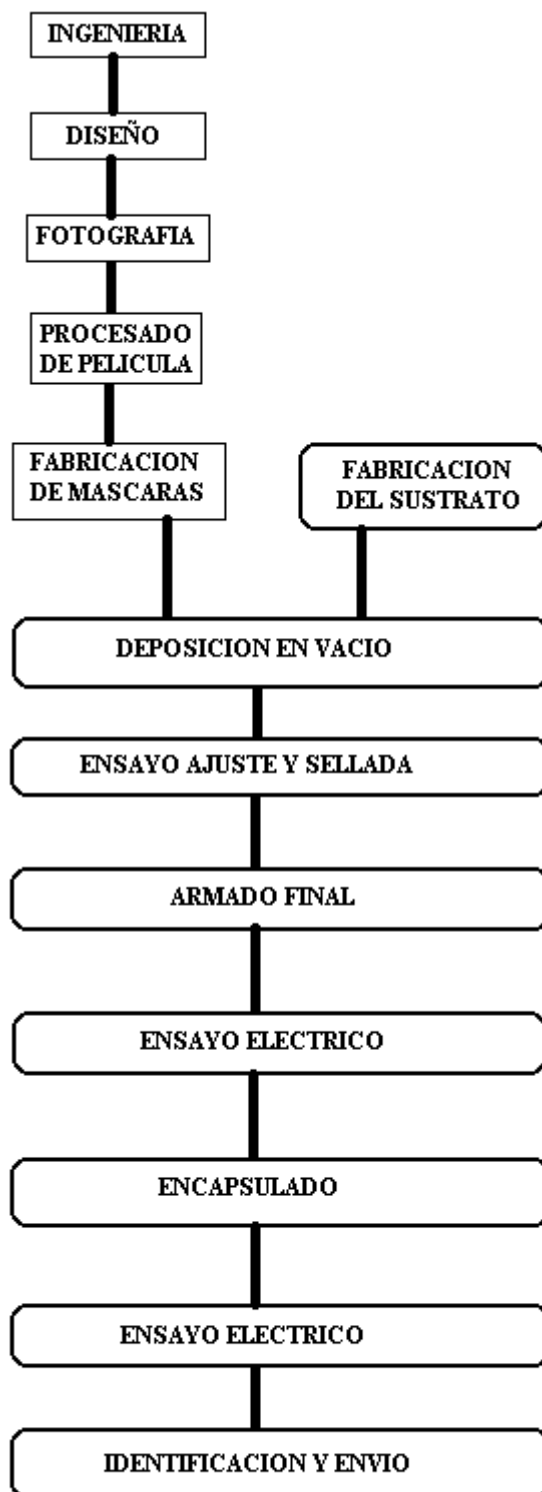
Las plantillas de precisión: para los resistores, conductores, electrodos y dieléctricos. Estas plantillas se cortan generalmente de una lámina de material con base transparente o translúcida, cubierta con una película que se quita sin dañar la base. Esta tira de película suele ser roja ya que la mayoría de los materiales fotográficos de alta resolución son insensibles a la luz roja.

Material de Base: puede ser vidrio ó plástico flexible del tipo de Acetato de Celulosa, ó Tereftalato de Polietileno Mylar. La exactitud de los elementos depende de este proceso.

Corte de la Lámina de Mylar: se usa el Coordenadografo, un instrumento de desplazamiento muy preciso, con dos cabezales de corte que se mueven ortogonalmente con una exactitud de 3 %. La plantilla se puede hacer de 25 a 100 veces mayor que el circuito final, dependiendo de la cámara de fotorreducción disponible y del grado de exactitud requerido. 1º) Se corta la forma del resistor junto con marcas de guía indicadoras, en posiciones prefijadas. Lo mismo se hace con las formas de los conductores sobre una segunda plancha de Mylar superpuesta a la de los resistores. La exactitud en las dimensiones lineales en la reducción 1 : 1, puede mantenerse en el 1%. Los negativos 1 : 1 se insertan en un brazo del punzonador de precisión y se punzonan los agujeros de guía indicadores. Estos se usaran luego para todos los requerimientos de registro.

Cámaras Fotográficas: Se disponen de tres tipos de cámara básicos: soporte bajo, soporte superior y soporte vertical. Para evitar la distorsión, tanto el soporte de copiado como el de lentes y la caja de la cámara deben estar rígidamente montados en posición perpendicular al eje óptico de las lentes. Aislar la cámara de las vibraciones para evitar el movimiento relativo de sus componentes.

Máscaras: En base a los negativos fotográficos se **fabrica una máscara electroformada**, por medio de aplicaciones fotorresistivas y revelado, seguido por un metalizado y grabado. En el punzonador de precisión se inserta una placa base de un espesor de 0,13 mm de cobre y Berilio, y se punzonan las perforaciones de registro. Se desengrasa la placa se limpia y recubre con material fotorresistente. Se ubica la placa en un bastidor fotorresistente. Se ubica la placa en un bastidor al vacío con el negativo arriba.



Nº 2.10 Diagrama de Flujo de la Fabricacion de Circui de Pelicula Delgada

Figura Nº 2.10 Diagrama de Flujo que resume los pasos de fabricación de circuitos de Película Delgada.

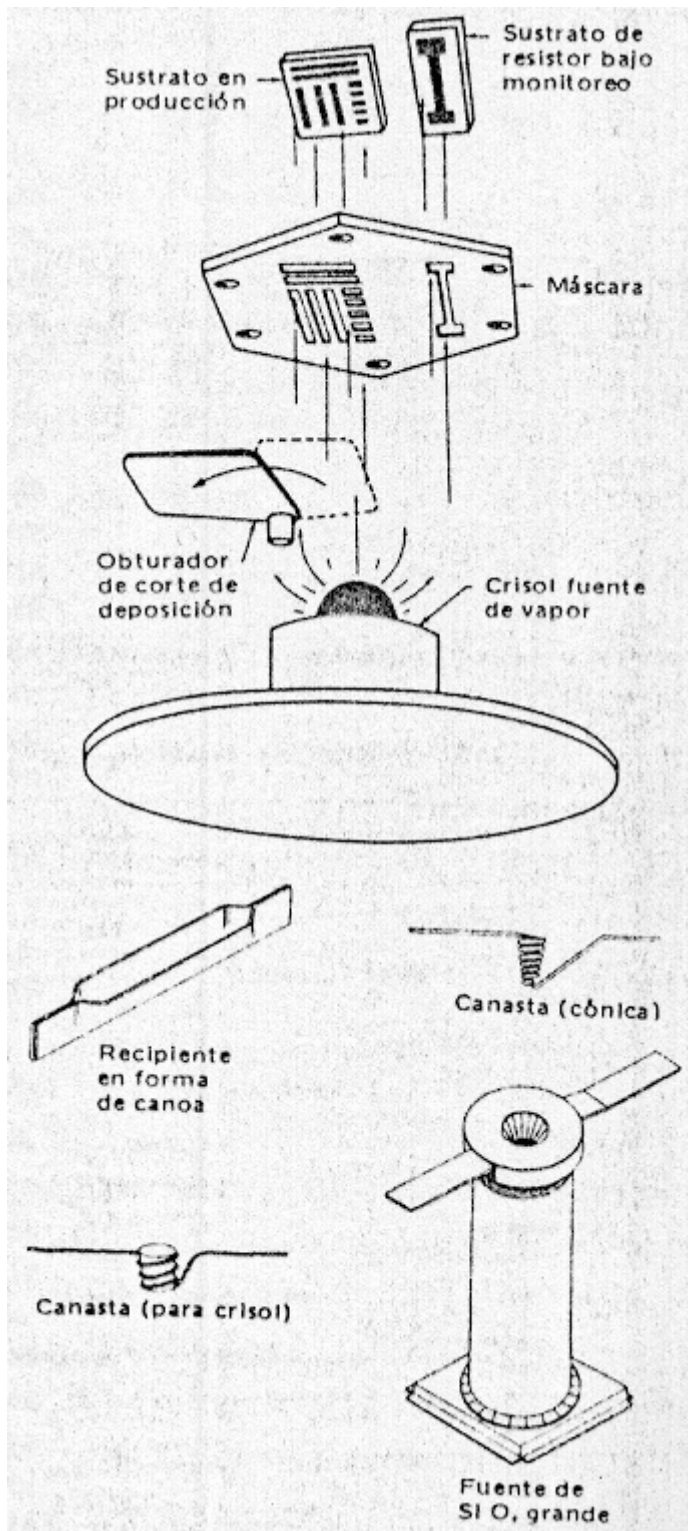
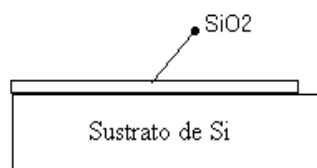


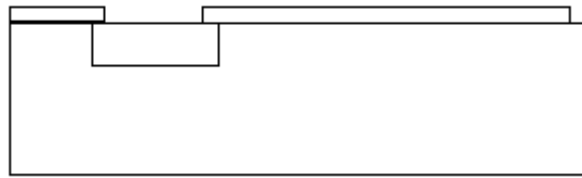
Figura 2-11 Deposición en Vacío

PELICULA DELGADA: Desarrollo Básico de la Técnica [11]

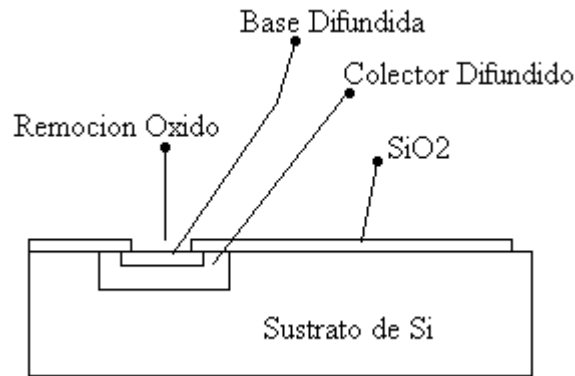
1. El material de partida es una oblea de Silicio Oxidado.



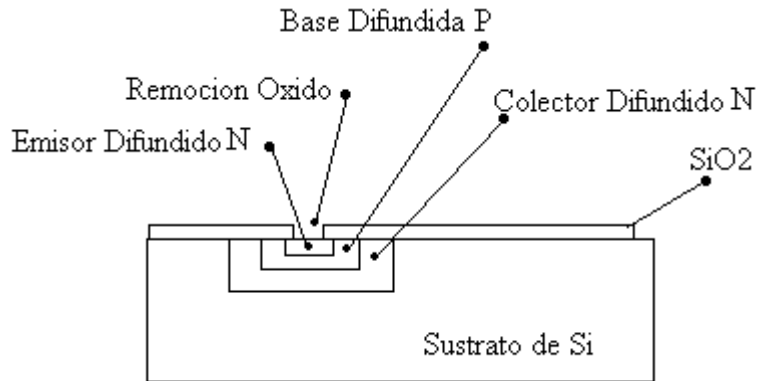
2. Remoción de Oxido y Difusión del colector.



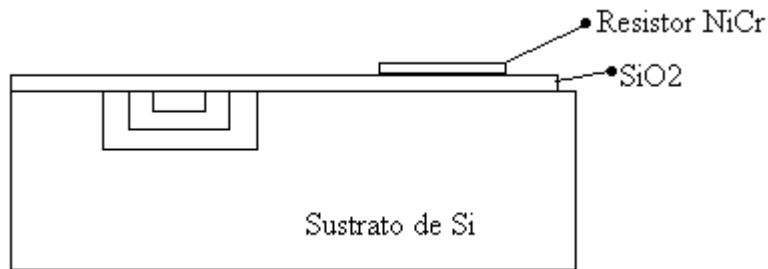
3. Remoción de Oxido y Difusión de la base.



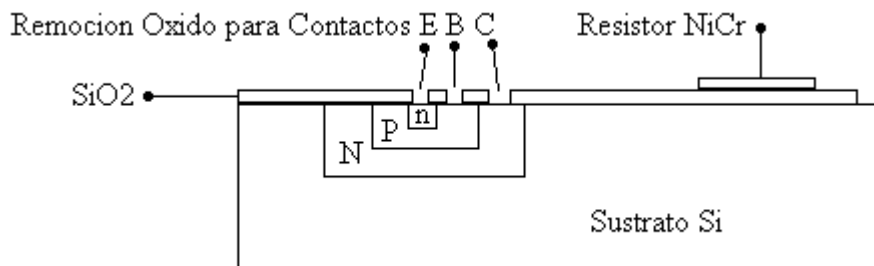
4. Remoción de Oxido y Difusión del emisor.



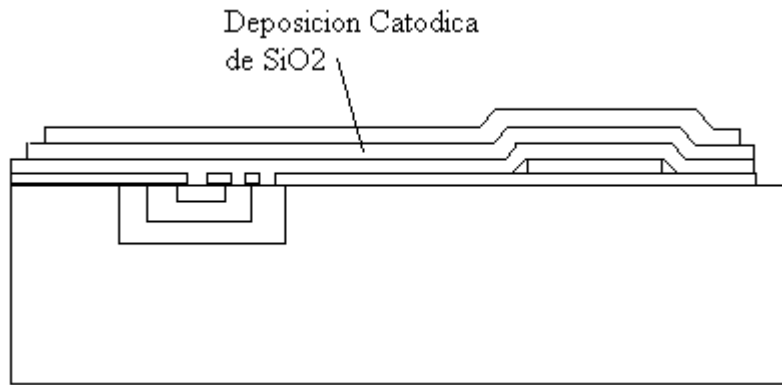
5. Evaporación y Fotograbado de un resistor de PD.



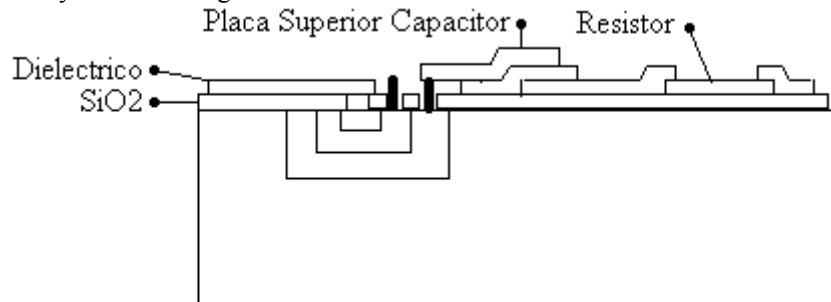
6. Remoción de Oxido para los contactos del transistor.



7. Evaporación de material para terminales de interconexión, dieléctrico del capacitor y placa superior. SiO2 bombardeado.



8. Fotograbado de Capacitores y circuitos integrados.



El circuito monolítico PD combina dispositivos activos difundidos con dispositivos pasivos sobre la película aislante de oxido de silicio. El circuito monolítico tiene alta densidad de componentes, gran confiabilidad en los circuitos y buen apareamiento entre las características de componentes individuales. Hay muchas clasificaciones de los circuitos, particularmente en el campo digital, para las cuales es aplicable esta técnica, aunque los resistores y capacitores difundidos tienen grandes tolerancias y valores bajos. Los circuitos de PD se fabrican depositando resistores y capacitores de PD sobre un sustrato. Con un diseño adecuado, los resistores se pueden ajustar a algunas centésimas de % del valor requerido. En los diagramas se indica un método para combinar ambas técnicas. Esta combinación:

- Elimina problemas típicos de dispositivos pasivos difundidos y reduce el problema de control de tolerancias.
- * Extiende el campo de aplicación de circuitos integrados. Algunas áreas son circuitos digitales de alta velocidad, circuitos de micro potencia: menos de 100 μ w, y aplicaciones lineales de alta frecuencia en la gama de 5 GHz.

ESTRUCTURA PELICULA DELGADA VS. PELICULA GRUESA[12]

Los materiales y procesos de PD son bien diferenciados de los empleados en otras tecnologías de encapsulado tales como cerámica multicapa, o plaqueta epoxy, como se ilustra en **tabla 2-1**. Mas tarde otras tecnologías, procesos de película gruesa como la laminación de hojas verdes y revestido vidrio-epoxy por las cuales se fabrican las estructuras aislantes.

Estas técnicas son encapsulado cerámica y encapsulado en plaqueta de circuito impreso. Ellos denotan la Película Gruesa pues usan materiales cuya granulometría es de 100 μ m por ejemplo hojas inorgánicas verdes, revestido de vidrio, que no son procesos adecuados para dimensiones del orden del micrón.

Los materiales para PD tienen granulometría pequeña 25 μ m por ejemplo resistencias Fotolitografiada, película poliamida, estructura inorgánica formada por materiales para Sputtering (deposición electrónica), vidrio refluído.

Tabla N° 2-1 Comparación de las Tecnologías Película Delgada vs. Película Gruesa

	Tecnología	Película Delgada	Película Gruesa
A	Dieléctrico	Poliamida / Cuarzo	Alumina Vidrio-Cerámica
1	Constante Dieléctrica	3.2/3.8	9--10/4-8
2	Resistividad $\Omega \cdot \text{cm}$	$10^{16} / 10^{14}$	$10^{14} / 10^{14}$
3	Espesor μm	≤ 20	100 ó mayor
B	Conductores	Cu - Al	W - Mo - Cu - Au
	Resistencia de la Hoja $\text{m}\Omega / \text{cuadrado}$	3 - 4,2	2 - 15
	Espesor μm	≤ 10	20 - 30
	Ancho de la línea μm	≤ 25	100 ó más
	Vía medida del agujero μm	≤ 40	100 ó más
	Mínima Vía Reja μm	≤ 100	250 ó mas
	Numero de Capas	1 - 6	30 ó mas
C	Dieléctrico y Vía	Cubierta / Deposito + Fotolitografía	Cinta / Punzón
D	Conductor	Sputter, Electro Plate Ion Plate + Fotolitografía	Mascara
E	Encendido (Firing) / Curado (Curing)	400°C	> 900°C
F	Atmósfera Encendido disparo (Firing Atm.)	Oxidación, Neutral	Reducción / N_2
G	I / O Conexión	Vinculo soldado	Soldado / Abrazadera

PELICULA DELGADA MULTICAPA ENCAPSULADO[12]

Para los grandes circuitos donde su control eléctrico funcional con todas sus flexibilidades, se realizan por medio del encapsulado multicapa. Su costo es superior al de un solo nivel y los materiales intervienen en mayor cantidad. La [figura 2-12](#) muestra dos estructuras de encapsulado multinivel: Planar y no- planar.

La estructura planar se hace haciendo que los dieléctricos se hallen por donde fluye la temperatura pico. Estos dieléctricos son vidrio, poliamidas y vidrio-cerámica.

La estructura no-planar se obtiene mediante materiales inorgánicos depositados por el proceso de Sputtering (deposición electrónica), CVD (Chemical Vapor Deposition) ó evaporación, a temperatura baja para que fluya el material. Los planos que contienen las líneas están separadas por dieléctricos, y las líneas se hallan interconectadas por Vías que son construidas por bloques que atraviesan los dieléctricos por agujeros pasantes, que permiten la conexión de un conductor o un plano de conexiones. También permiten la conexión entre capas próximas o separadas intermedias. Las dos mejores razones para utilización de la técnica de multicapas es la flexibilidad de diseño y interconexiones diversas, que pueden cruzarse entre sí. La otra razón es la funcionalidad eléctrica para interconexiones de sistemas de componentes, la que es amplia y flexible. Las tensiones de ruido eléctrico pueden ser controladas mediante planos o capas energizadas aisladas para alta velocidad de propagación. A potencias medias es el empleo de triples placas ó niveles, en donde los cableados en planos correspondientes que pueden ser verticales y ortogonales logrando el mínimo acoplamiento entre dos conductores adyacentes. Los planos principales de cableado se hallan blindados entre pares de alambres y pares de capas y además se adquiere un alto valor de impedancia para la señal transportada. Los materiales y cambios de procesos están afectados por requerimientos funcionales y físicos. Para gran numero de capas el proceso de planarizacion debe ser desarrollado minimizando la topografía ante posibles incrementos de capas. Se debe contemplar como requerimientos por ejemplo la adhesión de conductores a capas dieléctricas, o de dieléctricos a otros dieléctricos. Suficiencia para superar el ciclo de estrés del material dieléctrico, la permitividad ϵ a las frecuencias de interés, lo suficientemente baja para permitir la propagación a altas velocidades, además mínimas toda otra pérdida y dispersión. Las Vías de conexión vertical de conexiones entre capas de baja resistencia, debe ser confiable ante la presencia de stress y ciclos térmicos, resistente a la corrosión y electromigraciones.

El empaquetado multi pelicular delgada, pueden lograrse un buen balance entre costos, complejidad y funcionalidad.

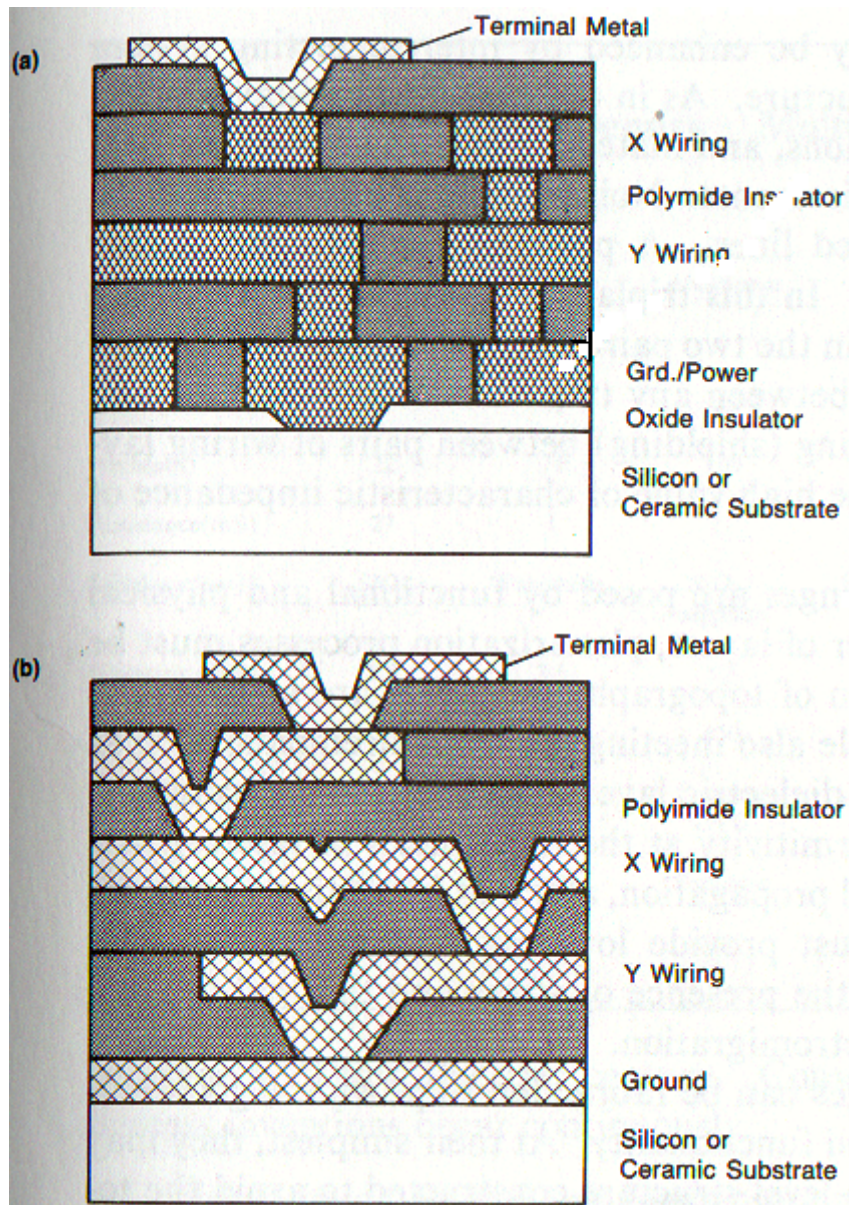


Figura N° 2-12 Estructura PD Multinivel (a)Planar v (b)No planar

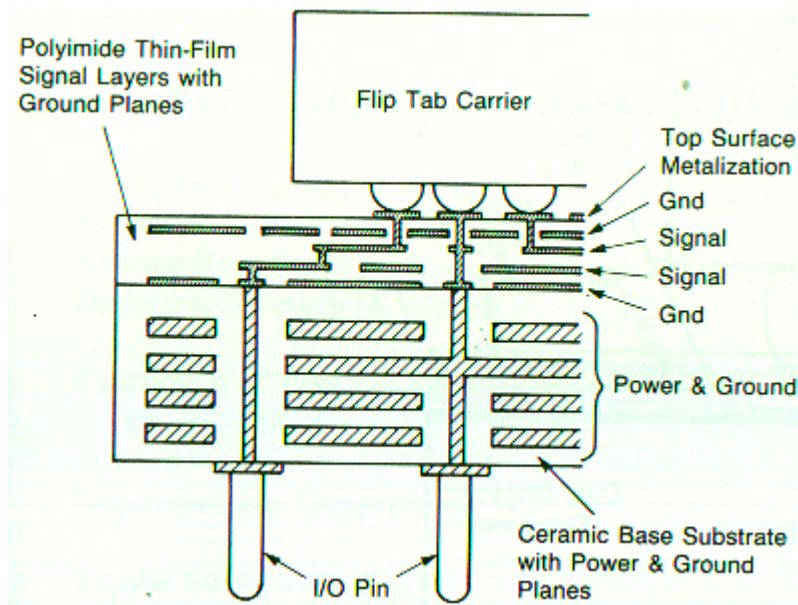


Figura N° 2-13 Empacado en Uso de Película Delgada Multinivel

Ejemplos de Multicapa de Película Delgada [12].

Un esquema de uno de los empaquetados multicapa película delgada que es empleado en sistemas de embarque por NEC Corporation esta ilustrado en la [figura 2-13](#), sobre un sustrato multicapa de Al_2O_3 .

La película delgada desarrollada por Hitachi con un sustrato de vidrio ($Li_2 - SiO_2 + SiO_2$) + Cerámica, conteniendo internamente una película gruesa de cobre que es ilustrado en la [figura 2-14](#). También se utiliza múltiple películas delgadas de silicón como sustrato. La conexión desde el silicón al próximo nivel es realizada por vínculo de alambre, vínculo TAB (Tape Automated Bonding) u otro medio.

Una estructura con gran densidad de alambres: alrededor de 1000 cm/cm^2 , se ilustra en la [figura 2-15](#) dentro de un capacitor con una capacidad específica de 25 nF/cm^2 , habiéndose hecho en la superficie de silicón empleando doble proceso dieléctrico. La energía y masa están distribuida por medio de planos de cobre en ambos lados del sustrato. Dos capas de señal se colocan sobre el plano energizado empleando dieléctrico de poliamida de espesores de alrededor de $10 \mu\text{m}$. Las cintas ó trazas de señal de cobre son de $10 \mu\text{m}$ de ancho, dando una impedancia característica de 50Ω .

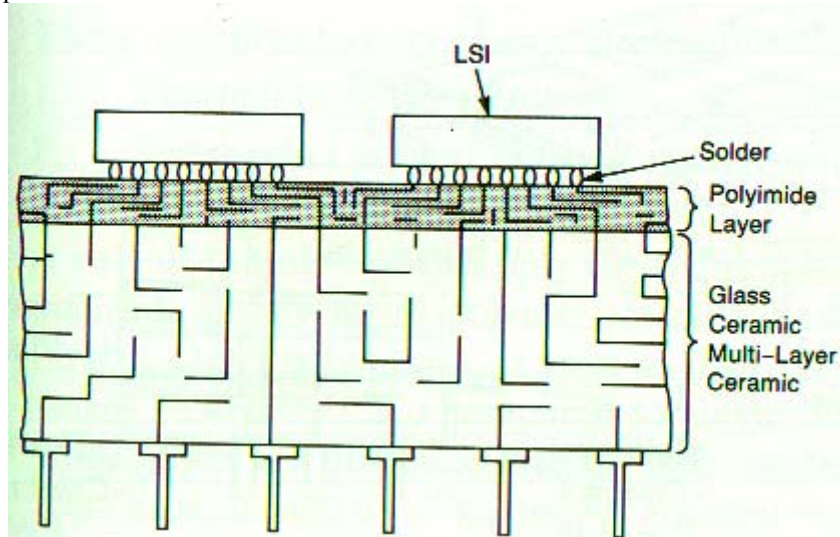


Figura N° 2-14 Película Delgada Multinivel en Sustrato Vidrio-Cerámica.

Una metalización de espesor de $2 \mu\text{m}$ da una resistencia lineal de $10 \Omega/\text{cm}$. Una segunda capa de poliamida de $5 \mu\text{m}$ se emplea para separar las dos capas de señal. Las Vías (agujeros en el dieléctrico de acceso a la película metálica para conexión) están formadas en la poliamida por ataque de aguafuerte, y son metalizados con baño de níquel Ni. Los vínculos eléctricos de alambres al sustrato y a la plaqueta y cubierta de protección completan el conexionado y luego el encapsulado. Otro conexionado de alta densidad entre chips o sustratos multicapa como el efectuado por Honey Well se ven en la [figura 2-16](#) en la que los planos energizados y los de tierra están incluidos en el sustrato base de película gruesa y la distribución de señales XY esta contenida en la placa cableado de cobre y a su vez en la placa de poliamida.

Los chips están vinculados por el proceso TAB (película de adherido automatizado) y el ensamblado esta sellado hermético con un anillo de sello en el sustrato de película gruesa.

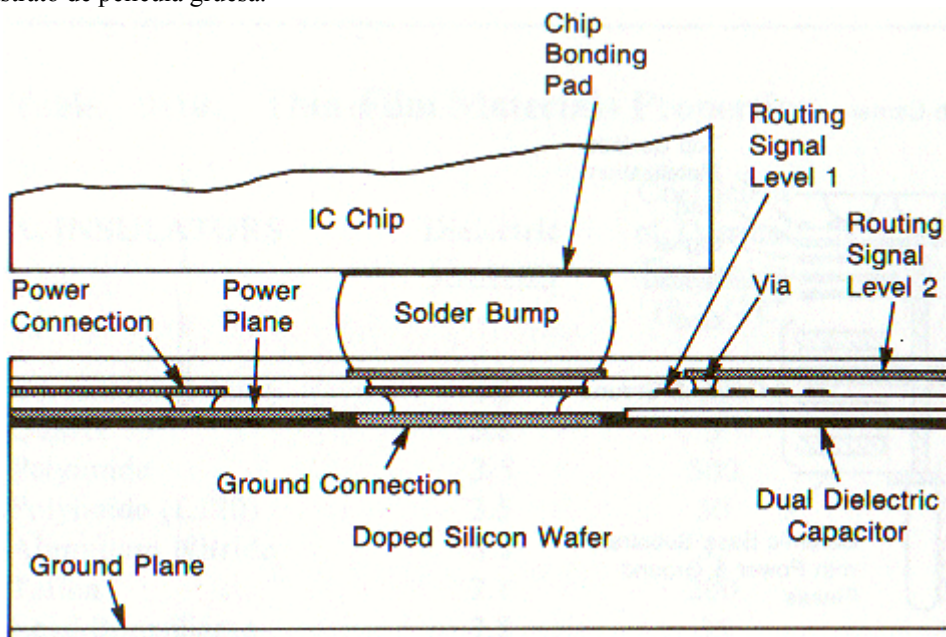


Figura N° 2-15 Empacado Película Delgada de Muy Alta Densidad en Sustrato de Silicón

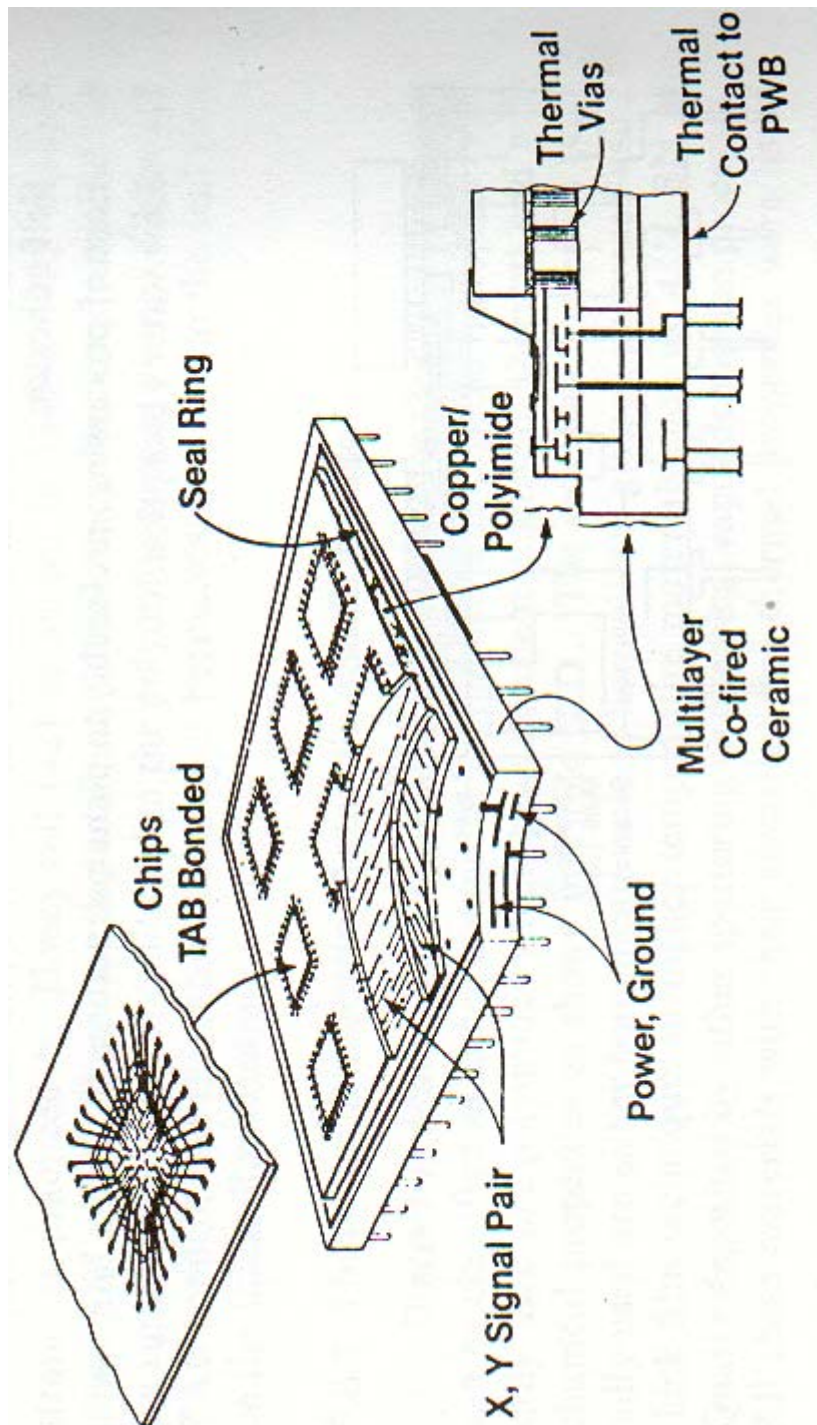


Figura N° 2-16 Empacado de Multichip de PD.